

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

007412635

WPI Acc No: 1988-046570/198807

Oxide film used for semiconductor device - obt'd. by forming oxide film on
substrate in oxidising atmos. and heat-treating using halogen lamp or
laser beam NoAbstract Dwg 0/4

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 63004624	A	19880109	JP 86147049	A	19860625	198807 B

Priority Applications (No Type Date): JP 86147049 A 19860625

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 63004624	A	2		
-------------	---	---	--	--

Title Terms: OXIDE; FILM; SEMICONDUCTOR; DEVICE; OBTAIN; FORMING; OXIDE;
FILM; SUBSTRATE; OXIDATION; ATMOSPHERE; HEAT; TREAT; HALOGEN; LAMP;
LASER ; BEAM; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/31

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02387724

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 63-004624 [JP 63004624 A]

PUBLISHED: January 09, 1988 (19880109)

INVENTOR(s): HAMAZAKI MASA HARU

NISHIYAMA KAZUO

YAMAMOTO HIROSHI

TAJIMA KAZUHIRO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 61-147049 [JP 86147049]

FILED: June 25, 1986 (19860625)

INTL CLASS: [4] H01L-021/316; H01L-021/324

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 621, Vol. 12, No. 207, Pg. 5, June
14, 1988 (19880614)

ABSTRACT

PURPOSE: To facilitate substantial improvement of the film characteristics of an oxide film by a short-time heating by a method wherein the oxide film is formed on a semiconductor substrate in an oxidation atmosphere and, after that, subjected to a heat treatment at a high temperature by an IR heating.

CONSTITUTION: For instance, if a high temperature IR heating is applied after an SiO(sub 2) film is grown, uncoupled Si-O bondings in an SiO(sub 2)-Si boundary can be converted into sufficient SiO(sub 2) couplings so that a semiconductor device with improved surface characteristics can be obtained. Moreover, as the IR heating can be performed in a short time, the deterioration of the characteristics caused by the change of a foundation condition which occurs, for instance, in a three- dimensional device, a fine MOS and so forth can be avoided. With this constitution, the characteristics of the SiO(sub 2) film can be improved without varying the foundation junction.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-4624

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)1月9日

H 01 L 21/316
21/3246708-5F
Z-7738-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭61-147049

⑯ 出 願 昭61(1986)6月25日

⑰ 発 明 者	浜 崎	正 治	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	西 山	和 夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 発 明 者	山 本	博 士	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑳ 発 明 者	田 島	和 浩	東京都品川区北品川6丁目7番35号	ソニー株式会社内
㉑ 出 願 人	ソニー株式会社		東京都品川区北品川6丁目7番35号	
㉒ 代 理 人	弁理士 高 月 亨			

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1 半導体基板上に酸化雰囲気中で酸化膜を形成し、

その後高温でIR加熱法により加熱処理を施した、半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関するものである。本発明は例えばメモリー装置の製造に適用することができ、その場合特に最近のMOSメモリー(DRAM, SRAM等)で要求されている薄いSiO₂膜の特性を著しく改善できる。

(発明の概要)

本発明は、半導体装置の製造方法において、半

導体基板上に酸化雰囲気中で酸化膜を形成し、その後高温でIR加熱により加熱処理を施すことにより、短時間の加熱によって膜特性を著しく改善し得るようにしたものである。

(従来の技術)

最近の半導体装置、例えばMOSメモリーは微細化が進み、スケーリング則に従ってゲート酸化膜等は極めて薄くなって来ている。

例えば256KDRAMでの容量酸化膜厚は100~120Åであり、1MbitDRAMでは80~100Å程度の薄膜が望まれる。SRAMセルでの酸化膜も同様であり、256KSRAMで200Å、1MbitSRAMでは150Å以下が要求される。

一方この様な薄いSiO₂膜では耐圧の確保が極めて重要であり、またSi表面のクリーニング処理と共にSiO₂/Si界面の表面単位の低減も重要である。

即ち薄いSiO₂膜を形成するには通常900

て前後の酸化炉や酸素、窒素混合ガス($O_2 + N_2$)キャリアーを用いた実効的酸素分圧を低くした低圧酸化法等によるが、これらの酸化法では酸化膜の緻密性に問題があり、耐圧低下や界面準位の増加が懸念される。

(発明が解決しようとする問題点)

上述したように、従来より薄い SiO_2 膜形成のために、低温・低圧酸化法等が検討されているが、この方法により得られた膜は SiO_2/Si 界面に SiO_2 結合や未結合の Si 原子が存在し、これらが界面準位の増加、耐圧劣化の要因となり得ると言われている。

また、高温処理によって膜特性の改善は図れるが、従来の熱処理では処理時間が長い為に下地接合形状が変化し三次元素子や微細MOS構造には適さない。

本発明は前述した問題点を改善すべく高温、短時間の制御性の極めてすぐれたIRアニール炉を用いて SiO_2 膜の特性を改善することを目的とする。

された半導体装置を得ることができる。また、このIR加熱は短時間で行えるので、これにより、例えば三次元素子や微細MOS等で問題となる下地接合形状の変化による特性劣化が防止された。

(実施例)

以下に本発明の実施例を詳述する。なお、当然のことながら本発明は以下述べる実施例に限定されるものではない。

実施例1

本実施例においては、実験サンプルとしてCZ(100) n type 2~3 ohm-cmを用い、これに1100℃、 $O_2 + HCl$ (1%)の雰囲気中でゲート酸化膜(SiO_2)を900Å成長させた。次に、 SiO_2 膜のPOA(Post-Oxidation-Anneal)処理として N_2 雰囲気中で1000~1150℃、1秒~2分のIRアニール(ここではハロゲンランプ加熱)処理を施した。その後A ℓ 蒸着、メタルシンター(400℃、60分)を行い、MOSキャパシタ

する。

(問題点を解決するための手段)

上記目的は半導体基板上に酸化雰囲気中で酸化膜(例えば SiO_2)を形成し、その後、高温のIR加熱処理を施すことにより達成される。IR加熱は短時間でよい。本発明でいうIR加熱とは、ハロゲンランプ光等による加熱の他、直接試料に照射されるレーザー光による該試料の加熱なども含まれる。

本発明の構成を具体的に略述すると以下の様である。即ち例えば通常の酸化法により酸化膜成長した半導体ウェハーに対し、高出力のハロゲンランプ光等をウェハーに均一に照射し、瞬間的に加熱するように構成できる。

(作 用)

本発明において、例えば SiO_2 膜成長後、高温のIR加熱を施すことにより、 SiO_2-Si 界面の未結合 $Si-O$ ボンドを十分な SiO_2 結合とすることができ、これにより界面特性が改善

一を作成した。

第1図に、IRアニール処理温度がそれぞれ1000℃(図中、線Ⅱで示す)、1100℃(同、線Ⅰで示す)、1150℃(同、線Ⅲで示す)における処理時間と表面電荷 N_{ss} (cm^{-2} , ev^{-1})の関係を示す。

第1図から明らかなように、線Ⅰ及び線Ⅱで示した1100℃及び1150℃のIRアニール処理を施した本発明によるサンプルの N_{ss} 値は、線Ⅲで示した1000℃処理サンプルの N_{ss} 値よりも低くより優れた界面特性を有することがわかる。また1100℃以上のIRアニール処理を施した本発明によるサンプルの N_{ss} 値は、瞬間的に $0.6 \sim 1 \times 10^9 cm^{-2}$, ev^{-1} となり、処理時間0で示されるPOA処理無しのサンプル($N_{ss} = 5.9 \times 10^9 cm^{-2}$, ev^{-1})と比較して1/5~1/10に低減されていることがわかる。

第2図は上述したと同様に成長させた SiO_2 膜のPOA処理をウェット O_2 (図中、線Ⅵで示

した) 及びドライO₂ (同、線Vで示した) の雰囲気中、1000℃の電気炉で行った比較例であるが $1 \times 10^{10} \text{ cm}^{-2}$, eV^{-1} の N_{ss} を得るには60分以上を要しており、この条件では三次元素子接合や微細MOSでのウェル層、チャネルストップ領域等、ゲート酸化膜成長時にすでに形成されている接合は大きく再分布してしまい、これに比べて第1図における線I及び線IIで示した本発明によるサンプルは瞬間的に N_{ss} 値が $1 \times 10^{10} \text{ cm}^{-2}$, eV^{-1} 以下に低下し、短時間のIRアニール処理による本発明によれば膜特性が著しく改善されることが明らかである。

実施例2

実施例1と同じCZ (100) n type 2~3 ohm-cmのSi基板を用い、約150Åの薄いSiO₂膜を形成した。その後N₂雰囲気中で1100℃、10秒のIRアニールによるPOA処理を行った場合の耐圧分布を第3図に示した。また比較例として、同様のSiO₂膜を900℃スチーム処理したものの耐圧分布を第4図に示した。

間の制御性の極めてすぐれたIRアニール炉を用いてPOA処理することにより、下地接合を変化する事なくSiO₂膜の特性の改善が達せられる。

4. 図面の簡単な説明

第1図は、本発明に係る実施例におけるIRアニール処理時間と N_{ss} との関係を示す図である。第2図は比較例のPOA処理時間と N_{ss} との関係を示す図である。第3図は本発明にかかる実施例におけるIRアニール処理試料の耐圧分布を示す図であり、第4図は比較例の耐圧分布を示す図である。

- I 1100℃でIRアニール処理した試料
- II 1150℃でIRアニール処理した試料
- III 1000℃でIRアニール処理した試料
- IV ウェットO₂中でPOA処理した試料
- V ドライO₂中でPAO処理した試料

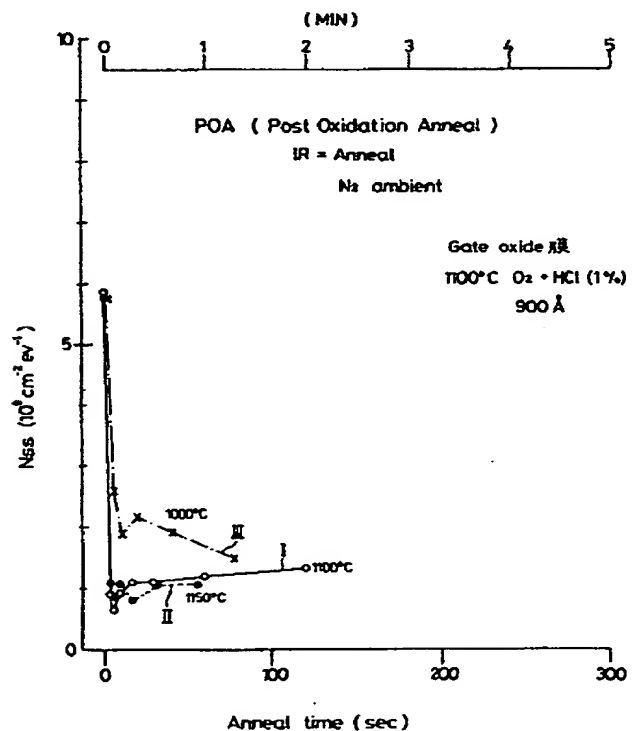
- (イ) 本発明による試料の集中膜破壊部分
- (ロ) 比較試料の集中膜破壊部分

た。第3図及び第4図はともに横軸に膜破壊のためにかけた電場、縦軸に破壊割合をとっている。第3図に示される本発明による試料は、図中(イ)で示される破壊電磁場9~10MV/cm付近で集中的に膜破壊が起きており、第4図に示される比較試料の図中(ロ)で示される8.5~9.5MV/cmに比べ、高電磁場側に移動していることがわかる。また、本発明によるIRアニール処理したものの方が耐圧分布の集中性がみられ、ウェハの面内均一性が向上していることがわかる。

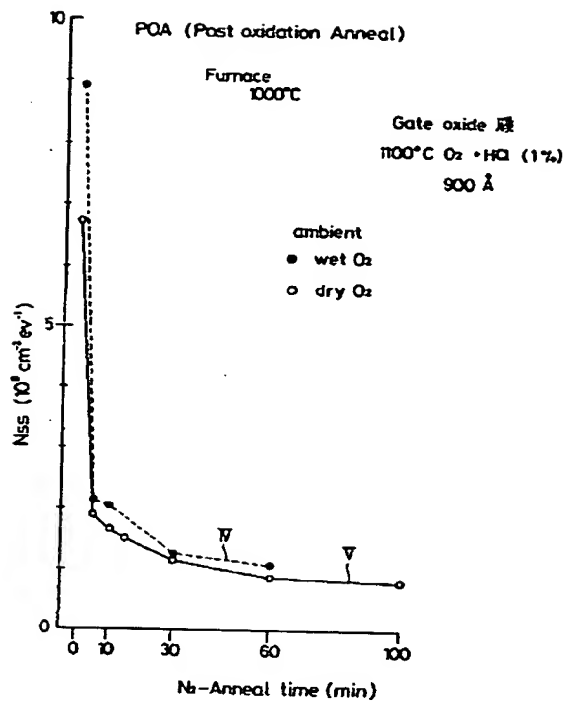
なお、上記IRアニール処理の雰囲気はN₂中、他のO₂中、N₂+O₂中及びAr中等で行うことができる。また、IR加熱は、高出力のハロゲンランプ光の他に9~10μm波長CO₂レーザー光照射によってSi-Oの固有吸収ピークとマッチングさせSiO₂/Si界面を瞬間的に加熱しても良い。

(発明の効果)

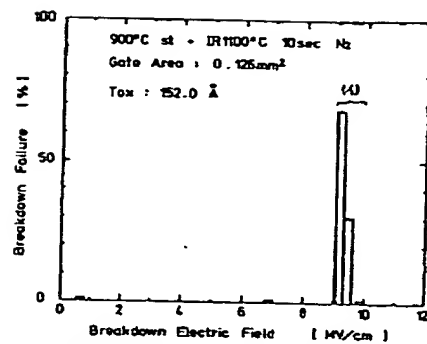
上述したように、本発明によれば、高温、短時



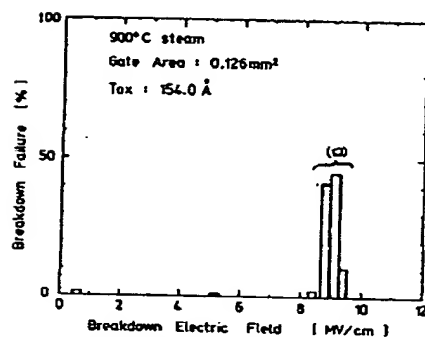
本発明に係るIRアニール処理時間と N_{ss} の関係図
第1図



比較例の POA 処理時間と Nss の関係図
第 2 図



本発明に係る IR 処理した SiO₂ 膜の耐圧分布
第 3 図



比較例 900°C steam 処理した SiO₂ 膜の耐圧分布
第 4 図